

K1 – Zadaci 1,2,3,4

K2 – Zadaci 5,6,7,8

Integralni ispit – Zadaci 1,3,4,5,7,8

Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni i naglasiti izbor ispita.

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Dozvoljena je upotreba kalkulatora.

**Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.**

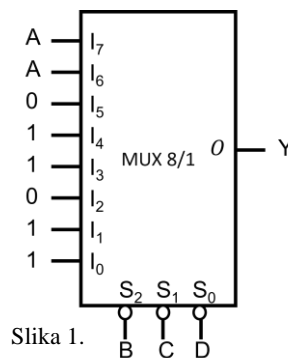
### 1. Zadatak (a -6, b - 5, c - 8, d - 6 poena)

a) Data je funkcija  $Y = f(A, B, C, D)$  na slici 1. realizovana pomoću jednog multipleksera 8/1 čiji su selekcionni signali aktivni u logičkoj nuli. Popuniti Karnoovu kartu za funkciju  $Y$  i odrediti njen izraz u minimalnoj formi u obliku proizvoda zbirera.

b) Predstaviti funkciju  $Y$  u obliku zbira proizvoda i realizovati je ukoliko su na raspolaganju samo NI logička kola i prave vrednosti signala. Težiti da funkcija i broj upotrebljenih kola budu minimalni.

c) U realizovanoj šemi iz tačke b) proveriti da li postoji mogućnost pojave statičkih hazarda i pri kojim prelazima? Ukoliko postoji nacrtati vremenski dijagram na kome se vidi pojava statičkog hazarda i korigovati funkciju  $Y$  tako da se ukloni mogućnost pojave statičkih hazarda.

d) Realizovati funkciju  $Y$  korišćenjem minimalnog broja multipleksera 4/1. Nije dozvoljeno korišćenje kola niskog stepena integracije, a dostupne su samo prave vrednosti signala.



Slika 1.

### 2. Zadatak (a - 8, b - 7, c - 10)

a) Projektovati kolo kodera prioriteta sa 8 ulaza i aktivnim logičkim nulama na ulazima.

b) Projektovati kolo specifičnog dekodera sa 8 izlaza aktivnih sa logičkim nulama koji osim selektovanog izlaza daje logičke nule i na svim izlazima sa nižim indeksima.

c) Projektovati kolo koje inkrementira 7bitni neoznačeni binarni broj korišćenjem kola niskog stepena integracije i kola projektovanih u tačkama a) i b). Nije dozvoljena upotreba sabirača i operacije sabiranja.

### 3. Zadatak (a - 6, b - 7, c - 3, d - 5, e - 4 poena)

**Napomena: Ukoliko broj nema oznaku KMV, KO ili ZA u indeksu smatrati da je neoznačen.**

**BITNO: Svaki račun prikazati korak po korak u osnovi u kome su brojevi dati.**

**Bez detaljnog postupka rešenje zadatka je nevažeće.**

a) Odrediti odnose između sledećih izraza, ukoliko je na raspolaganju 5 bita

$$\bullet 01011_{KMV} - 10110_{KMV} \quad 11111_{KO} + 11000_{KO}$$

$$\bullet 10110_{ZA} - 01010_{ZA} \quad 11011_{KO} - 01001_{KO}$$

**Napomena:** Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa petobitnim dobijenim rezultatom.

b) Odrediti odnose između sledećih izraza, ukoliko je na raspolaganju proizvoljan broj cifara

$$\bullet 545_{7KMV} - 623_{7KMV} \quad 23120_{4KO} + 10332_{4KO}$$

$$\bullet 10101_{KO} * 01111_{KO} \quad - (10110111_{GRAYBIN})$$

c) Odrediti broj kontrolnih bita neophodnih za zaštitu 16-bitne poruke kodom sa *Hamming*-ovim rastojanjem  $Hd = 3$ .

d) Dat je binarni broj  $X$  kodovan *Hamming*-ovim kodom sa rastojanjem 4: 0100 0100 1001 1011. Ukoliko je moguće, odrediti vrednost broja  $X$ .

e) Vrednost 555 zapisati u *Gray*-ovom binarnom kodu i zaštititi je *Hamming*-ovim kodom sa rastojanjem 3.

### 4. Zadatak (a-6, b-7, c-12 poena)

a) Nacrtati realizaciju potpunog jednobitnog sabirača korišćenjem kola malog stepena integracije.

b) Korišćenjem samo komponenti iz tačke a) realizovati sabirač trobitnih neoznačenih brojeva. Ako je kašnjenje kola niskog stepena integracije  $t_p$  izračunati maksimalno kašnjenje sabirača.

c) Korišćenjem komponenti iz tačke b) i kola niskog stepena integracije realizovati množać neoznačenih trobitnih brojeva. Korišćenjem rezultata iz tačke b) izračunati maksimalno kašnjenje množača.

### 5. Zadatak (a – 5, b – 5, c - 5, d – 5, e- 5 poena)

CMOS tehnologija – 180nm,  $V_{DD} = 2.7V$ ,  $\mu_n = 417 \frac{cm^2}{Vs}$ ,  $\mu_p = 85 \frac{cm^2}{Vs}$ ,  $V_{Tn} = 0.45V$ ,  $V_{Tp} = -0.45V$ ,  
 $k_n = 351 \times 10^{-6} \frac{A}{V^2}$ ,  $k_p = 71 \times 10^{-6} \frac{A}{V^2}$ ,  $\lambda_n = \lambda_p = 0 \frac{1}{V}$ ,  $E_{Cn} = 3.8 \times 10^5 \frac{V}{cm}$ ,  $E_{Cp} = 18.8 \times 10^5 \frac{V}{cm}$

- odrediti širinu kanala  $W_p$  tako da prag odlučivanja logičkog CMOS invertora,  $V_s$ , bude približno jednak polovini napona napajanja;
- izvesti izraze i izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja;
- izračunati struju kratkog spoja u CMOS invertoru iz tačke a)
- kako se menjaju rezultati u tački a), b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.
- izračunati disipaciju kratkog spoja u CMOS invertoru iz tačke a), ako se na ulazu nalazi signal učestanosti 1GHz, čije je vreme uspona i pada jednako 10ps.

### 6. Zadatak (a -9, b – 4, c – 8, d – 4 poena)

- Za kolo sa slike 6a. odrediti logičku funkciju kola,  $Y = f(A, B)$ , kao i napone  $V_{OH}$ ,  $V_{OL}$ . Nije dovoljno pretpostaviti režime rada tranzistora i diode, već ih treba dokazati računom.
- Odrediti strujni kapacitet logičke nule  $I_{CAP0}$  za napon na izlazu  $V_{OLmax} = 0.24V$ .
- Odrediti kašnjenje rastuće i opadajuće ivice,  $t_{pLH}$  i  $t_{pHL}$ , ako je ekvivalentna parazitna kapacitivnost na izlazu kola  $C_p = 15 pF$ .
- Ukoliko se spoje ulazi  $A$  i  $B$  i na njih dovede četvrtka kao na slici 6d. nacrtati izlazni napon  $Y$  u odnosu na dati ulazni napon. Smatrati da je ekvivalentna parazitna kapacitivnost kao u tački c).

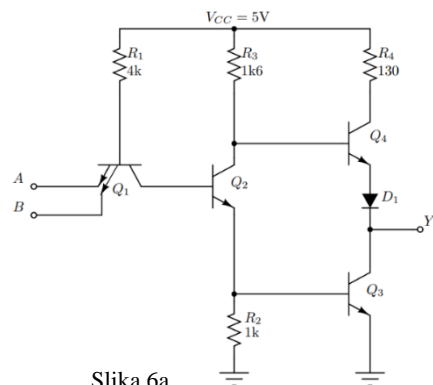
*Napomena:* Odrediti sve potrebne parametre i na osnovu njih dati odgovor. Postupak je neophodan.

Parametri tranzistora i diode su

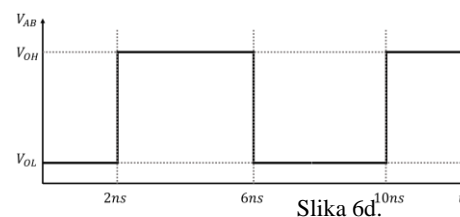
$$V_{BE} = V_D = 0.7V, V_Y = V_{DY} = 0.6V, V_{BES} = 0.8V, V_{CES} = 0.2V, \beta_F = 50, \beta_R = 0.1$$

Koristiti sledeće skraćenice za označavanje režima rada tranzistora: **ZAK** – zakočenje, **DAR** – direktan aktivni režim, **ZAS** – direktno zasićenje, **IAR** – inverzni aktivni režim, **IZAS** – inverzno zasićenje.

Koristiti sledeće skraćenice za označavanje režima rada dioda: **ON** – provodi, **OFF** – zakočena.



Slika 6a.



Slika 6d.

### 7. Zadatak (a – 4, b – 7, c – 7, d – 7 poena)

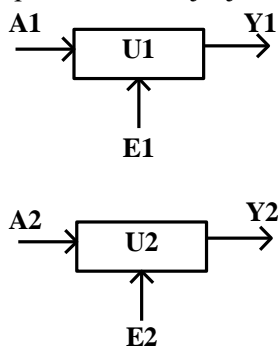
- Napisati funkcionalnu tabelu za funkciju  $Z_{3..0} = A_{1..0} * B_{1..0}$  gde su  $A$  i  $B$  dvobitni neoznačeni binarni brojevi.
- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Z_3$ . Na ulazu su dostupne i negacije logičkih promenljivih. Odrediti normirane širine kanala svih tranzistora tako da su kašnjenja jednaka sa kašnjenjem jediničnog inverora kod koga su širine kanala  $p$  i  $n$  kanalnog tranzistora u odnosu 2:1.
- Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje funkciju  $Z_2$ . Težiti da broj upotrebljenih tranzistora bude minimalan. Na ulazu su dostupne i negacije logičkih promenljivih.
- Realizovati funkciju  $Z_1$  pomoću transmisionih gejtova.

### 8. Zadatak (a -15, b – 10 poena)

Na raspolaganju su dve komponente U1 i U2, prikazane na slici 8a, čije su funkcije definisane funkcionalnim tabelama na slici 8b.

- Nacrtati trostački invertor, prikazan na slici 8c, korišćenjem komponenti U1, U2 i otpornika.

- Nacrtati vremenski dijagram izlaznog signala Y kola sa slike 8c, ako se signali A i E menjaju kao na slici 8d. Označiti vremenske parametre kašnjenja.

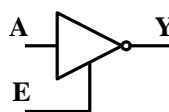


Slika 8a

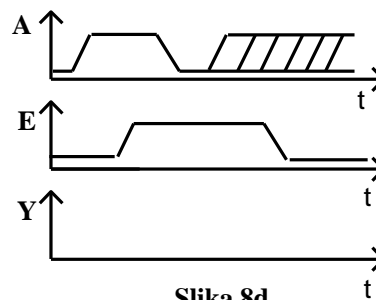
E1	A1	Y1
0	X	Z
1	0	1
1	1	Z

E2	A2	Y2
1	X	Z
0	0	Z
0	1	0

Slika 8b



Slika 8c



Slika 8d